

	Stage 3A Projet de fin d'étude	Mis à jour le : 10/10/2025
---	--	--

Stage Ingénieur 2A / Master 1 Design-for-Test (DfT)

Utilisation de la fonctionnalité JTAG/IJTAG pour les circuits mixtes

À mesure que la géométrie des transistors diminue à un niveau nanométrique, les variations de processus et les défauts physiques ont eu un impact sur la production des semi-conducteurs. Afin d'obtenir une couverture de test acceptable des circuits numériques modernes, il est nécessaire de recourir à des techniques de Design-for-Test (DfT) : chaînes de scan, boundary scan, BIST mémoire (MBIST) et autres.

Dans ce stage, nous explorerons l'une des normes DfT disponible sur le marché appelée IEEE P1687 Internal JTAG (IJTAG). Cette norme a été introduite afin de normaliser et simplifier l'intégration des structures DfT dans les circuits complexes de type System-on-a-chip (SoC), dans le but d'optimiser les tests des circuits numériques et analogiques.

Le stage est divisé en différentes étapes :

- Compréhension des bases des tests numériques, y compris l'utilisation de l'IJTAG ;
- Compréhension des spécifications de l'outil DfT Tessent pour l'intégration d'un réseau IJTAG (identification des configurations possibles et des paramètres clés) ;
- Mise en pratique sur un circuit avec l'intégration d'un réseau IJTAG ;
- Validation des procédures de test par simulation ;
- Génération de patterns de test.

Vous ferez partie de l'équipe implémentation physique de IC'Alps composée de 10 personnes, prêtes à vous accompagner. Dans notre équipe, nous sommes non seulement responsables du flot complet d'implémentation physique (RTL-to-GDSII) – comprenant différentes tâches telles que la synthèse, le placement routage, l'analyse statique de timing (STA), la vérification physique (DRC, LVS), la preuve d'équivalence, etc – mais également de la mise en œuvre des structures DfT en fonction des besoins technologiques et applicatifs. Ce stage est une opportunité de découvrir comment le rôle fondamental de la DfT dans la conception des circuits.

Profil recherché :

- Etudiant en deuxième année d'Ecole d'ingénieur ou Master 1
- Spécialité micro-électronique numérique
- Bonne compréhension de l'environnement UNIX
- Base en conception numérique
- Compréhension globale du flot d'implémentation physique
- Attrait pour le scripting
- Curiosité, créativité, rigueur, persévérance, esprit de synthèse, esprit d'équipe

Conditions :

- Durée du stage : 3 mois (démarrage 3ème trimestre 2026)
 - Location : Site de Saint Martin d'Hères, 21 rue Frédéric Mistral
- Mode de travail : présentiel
- Stage rémunéré

	Stage 3A Projet de fin d'étude	Mis à jour le : 10/10/2025
---	--	--

Pourquoi nous rejoindre :

Filiale de SEALSQ, IC'Alps est une société française, en pleine croissance, de plus de 88 collaborateurs, spécialisée dans le développement d'ASIC ou circuits intégrés « sur-mesure » analogiques et numériques, pour ses clients. Le siège social de l'entreprise est situé à Grenoble (Saint Martin d'Hères),

Depuis ses deux centres de conception à Grenoble et Toulouse, IC'Alps sert de nombreux clients dans les secteurs exigeants du médical, de l'industrie, de l'automobile, de la sécurité et du militaire/aéro. Ses équipes d'ingénierie hautement qualifiées couvrent toutes les expertises nécessaires et possèdent une forte expérience dans les circuits intégrés analogiques, numériques et mixtes sur des technologies pouvant aller de 0,18 μm jusqu'à 18 angström.

A travers l'embauche de stagiaires, nous investissons dans la formation de jeunes gens motivés et intéressés de participer à une aventure entrepreneuriale. Cela signifie que vous bénéficiez de la dynamique de développement de l'entreprise et de la possibilité d'avoir des responsabilités larges tout en étant encadré par une personne expérimentée.

Alors, n'hésitez pas à envoyer votre candidature à careers@icalps.com !